

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-158504

(P2003-158504A)

(43)公開日 平成15年5月30日(2003.5.30)

(51)Int.Cl.⁷

識別記号

FI

テレポート*(参考)

H04J 13/04

H04J 13/00

G 5K022

審査請求 未請求 請求項の数13 OL (全 26 頁)

(21)出願番号 特願2001-356758(P2001-356758)

(22)出願日 平成13年11月21日(2001.11.21)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 惣門 淳二

石川県金沢市西念一丁目1番3号 株式会社
松下通信金沢研究所内

(72)発明者 相原 弘一

神奈川県横浜市港北区綱島東四丁目3番1
号 松下通信工業株式会社内

(74)代理人 100105050

弁理士 鷲田 公一

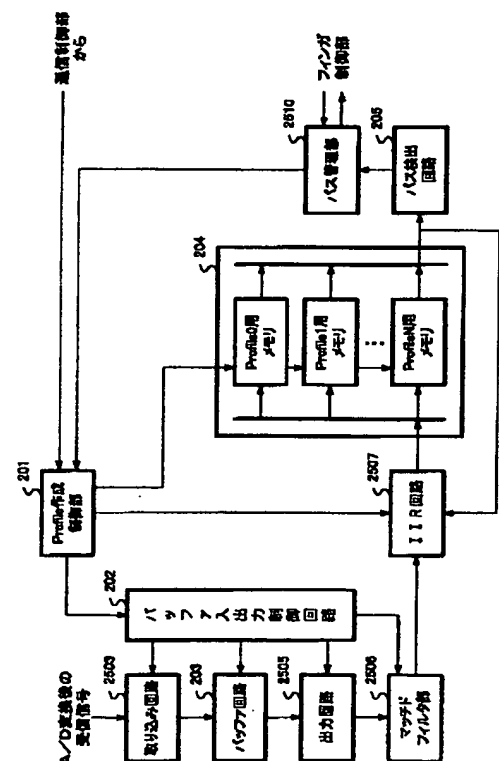
Fターム(参考) 5K022 EED1 EE33

(54)【発明の名称】 CDMA受信装置

(57)【要約】

【課題】 受信環境により窓幅を変えることにより、受信性能を維持したまま、低消費電力化が図れるようにすること。

【解決手段】 profile作成制御部201は、リンクする基地局数に応じ、作成する遅延プロファイル窓幅を決める。つまり、リンクする基地局が多く、各基地局ごとに最大パスが検出できRAKE合成できている場合には、遅延の大きなパスを検出してRAKE合成に加えてもさほど受信特性は変わらないので、消費電流が小さくなるように、窓幅をより小さく作成する。また、リンクする基地局数が少なく、大きな遅延パスが検出できRAKE合成できるかどうかで受信性能に大きく差が出る場合には、遅延プロファイルの窓幅をより大きくし、大きな遅延パスの検出を可能にさせる。



【特許請求の範囲】

【請求項1】 複数の基地局と同時にリンクでき、複数のパスの受信信号を合成するRAKE受信回路を含むCDMA受信装置において、通信制御部からの符号情報や位相情報をもとに相関値遅延プロファイルを測定し、その形状から前記RAKE受信回路に用いるフィンガ（パス）割当て情報を提供するパスサーチ部が、同時にリンクする基地局数に応じ、前記遅延プロファイルの窓幅を変えることを特徴とするCDMA受信装置。

【請求項2】 前記パスサーチ部は、リンクする最大基地局数以上同時作成可能な固定窓幅／固定相関値間隔の相関値遅延プロファイル作成手段を用いて、窓幅を大きくする場合は、複数の遅延プロファイルの窓位置の位相を窓幅分ずらすことにより、複数の遅延プロファイル出力を、1つの遅延プロファイルとしてパス検出を行うことを特徴とする請求項1記載のCDMA受信装置。

【請求項3】 複数の基地局と同時にリンクでき、複数のパスの受信信号を合成するRAKE受信回路を含むCDMA受信装置において、通信制御部からの符号情報や位相情報をもとに相関値遅延プロファイルを測定し、その形状から前記RAKE受信回路に用いるフィンガ（パス）割当て情報を提供するパスサーチ部が、同時にリンクする基地局数に応じ、前記遅延プロファイルの演算シンボル数を変えることを特徴とするCDMA受信装置。

【請求項4】 前記パスサーチ部は、リンクする最大基地局数以上同時作成可能な固定窓幅／固定相関値間隔の相関値遅延プロファイル作成手段を用いて、積算シンボル数を多くする場合は、複数の遅延プロファイルで演算対象シンボルをずらした入力信号を逆拡散し、その複数の遅延プロファイル出力をサンプル毎に加算した結果を1つの遅延プロファイルとしてパス検出を行うことを特徴とする請求項3記載のCDMA受信装置。

【請求項5】 複数の基地局と同時にリンクでき、複数のパスの受信信号を合成するRAKE受信回路を含むCDMA受信装置において、通信制御部からの符号情報や位相情報をもとに相関値遅延プロファイルを測定し、その形状から前記RAKE受信回路に用いるフィンガ（パス）割当て情報を提供するパスサーチ部が、同時にリンクする基地局数に応じ、前記遅延プロファイルの相関値間隔を変えることを特徴とするCDMA受信装置。

【請求項6】 前記パスサーチ部は、リンクする最大基地局数以上同時作成可能な固定窓幅／固定相関値間隔の相関値遅延プロファイル作成手段を用いて、相関値間隔を $1/N$ に密にする場合は、 N 個の遅延プロファイルで $1/N$ チップずつ位相をずらした入力信号を逆拡散し、その N 個の遅延プロファイル出力を順に読み出すことにより、1つの遅延プロファイルとしてパス検出を行うことを特徴とする請求項5記載のCDMA受信装置。

【請求項7】 複数のパスの受信信号を合成するRAKE受信回路を含むCDMA受信装置において、通信制御部

からの符号情報や位相情報をもとに相関値遅延プロファイルを測定し、その形状から前記RAKE受信回路に用いるフィンガ（パス）割当て情報を提供するパスサーチ部が、通常測定する遅延プロファイルのほかに、システム的に未使用の拡散符号を用いて遅延プロファイルを測定し、それをノイズと見なし分布解析を行い、その解析結果をパスサーチ判定要素として用いることを特徴とするCDMA受信装置。

【請求項8】 複数のパスの受信信号を合成するRAKE受信回路を含むCDMA受信装置において、通信制御部からの符号情報や位相情報をもとに相関値遅延プロファイルを測定し、その形状から前記RAKE受信回路に用いるフィンガ（パス）割当て情報を提供するパスサーチ部が、通常測定する遅延プロファイルのほかに、位相だけを大きくずらして測定した遅延プロファイルを作成し、それをノイズと見なしノイズ分布解析を行い、その解析結果をパスサーチ判定要素として用いることを特徴とするCDMA受信装置。

【請求項9】 複数のパスの受信信号を合成するRAKE受信回路を含むCDMA受信装置において、通信制御部からの符号情報や位相情報をもとに相関値遅延プロファイルを測定し、その形状から前記RAKE受信回路に用いるフィンガ（パス）割当て情報を提供するパスサーチ部が、測定する毎にその遅延プロファイルの窓位置を前後に偏らせてパスサーチを行うことを特徴とするCDMA受信装置。

【請求項10】 前記パスサーチ部は、既にフィンガ割当てされているパス位相を必ず窓内に含むように、測定する毎にその遅延プロファイルの窓位置を前後に偏らせることを特徴とする請求項9記載のCDMA受信装置。

【請求項11】 前記パスサーチ部は、ある定められた位相幅は必ず窓内に含むように、測定する毎にその遅延プロファイルの窓位置を前後に偏らせることを特徴とする請求項9記載のCDMA受信装置。

【請求項12】 前記パスサーチ部は、重なる窓幅を伝搬環境に応じて適応的に変えることを特徴とする請求項11記載のCDMA受信装置。

【請求項13】 前記パスサーチ部は、重なる窓の位置を伝搬環境に応じて適応的に動かす頻度を変えることを特徴とする請求項11記載のCDMA受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、遅延プロファイルを測定し、信号電力が大きいパスをいくつか選択することにより複数の基地局と同時にリンク（ソフトハンドオーバー：SHO）できるCDMA受信装置に関する。

【0002】

【従来の技術】DS-CDMA（直接拡散-符号分割多元接続方式）通信方式は、複数の通信を同一の周波数帯を用いて行う方式であり、各通信者の識別は拡散符号を

用いて行っている。一方、移動通信では、伝搬路長のばらつきのため、伝搬遅延時間の異なる多重波が干渉し合っている。しかし、DS-CDMA通信方式では、情報データを伝搬時間よりも周期が短い高速のレート（その時間単位をチップと呼ぶ）の拡散符号で帯域拡散するため、この伝搬遅延時間が異なるそれぞれの多重波が分離・抽出できる。

【0003】その方法として、遅延プロファイル（遅延時間に対する信号電力分布）を作成し、分離・抽出を行うパス検出方法が採用されている。この時間分離した伝搬遅延時間の異なる複数のレイリー変動するマルチパス信号をかき集め、同相合成（RAKE合成）することによって、ダイバーシティ効果がえられて受信特性が向上する。一般に、遅延プロファイルの分布分解能の単位時間は $1/N$ チップ（ $N=2, 4, 8$ など）が用いられている。

【0004】また、移動局は、基地局に対して相対変動をするため、遅延プロファイルも変動し、RAKE合成すべきパスの遅延時間も変動する。したがって、移動通信環境下で用いるCDMA受信装置には、遅延プロファイルの変動に対して追従し、瞬時において最大の信号電力が得られる複数のパスに対してRAKE合成できるようなパス検出、トラッキング機能が必要になる。以下、図24～図27を用いて、従来のCDMA受信装置におけるパス検出方法の概要を説明する。

【0005】図24は、従来のCDMA受信装置の構成例を示すブロック図である。図24において、このCDMA受信装置は、アンテナ2401と、高周波受信回路部2402と、A/D変換部2403と、パスサーチ部2404と、フィンガ制御部2405と、RAKE合成受信部2406とを備えている。

【0006】各回路の動作について簡単に説明する。アンテナ部2401で受信された信号は、高周波受信回路部2402にて、フィルタ処理、ゲイン制御、周波数位相制御等の処理を受け、A/D変換部2403へ送られる。A/D変換部2403にてA/D変換された受信信号は、パスサーチ部2404と、フィンガ制御部2405へ送られる。

【0007】パスサーチ部2404では、詳細動作は後述するが、一定間隔毎に、遅延プロファイルが作成され、その時の最新パス検出情報がフィンガ制御部2405へ送られる。一般に、遅延プロファイルの作成間隔を大きくすればそれだけ消費電流を抑えることができる。

【0008】フィンガ制御部2405では、時々刻々変化するパス状態に追従するため、パスサーチ部2404からのパス検出情報と、後で説明するDLL制御によるフィンガトラッキング情報とに基づきRAKE合成させるための最新のパス選択を行い（フィンガ割当て）、その選択時のタイミング情報／逆拡散情報の設定を行う。

【0009】ここで、DLL制御とは、一旦割り当てた

パス（フィンガ）でのタイミング追従を高速に行い、かつ、パス検出を高頻度で行わせず、消費電流を抑えるためにパス検出とは独立に、そのパスのタイミングの極狭い範囲の相関値情報を高頻度に求めることにより、タイミング追従を行う制御である。

【0010】RAKE合成受信部2406では、フィンガ制御部2405から出力された逆拡散結果について同期検波／RAKE合成を行い、CH-CODECなどの信号処理部へ送る。

10 【0011】次に、パスサーチ部2404についての詳細説明を行う。図25は、図24に示すパスサーチ部の構成例を示すブロック図である。図25において、パスサーチ部2404は、profile作成制御部2501と、バッファ入出力制御回路2502と、取り込み回路2503と、バッファ回路2504と、出力回路2505と、マッチドフィルタ部2506と、IIR (Infinite Impulse Response) 回路2507と、profile用メモリ部2508、パス検出回路2509と、パス管理部2510とを備えている。profile用メモリ部2508は、profile0用メモリ～profileN用メモリで構成されている。

【0012】各回路の動作を簡単に説明する。profile作成制御部2501では、通信制御部からの情報（通信する基地局の数、拡散符号情報、位相情報などが含まれている）に基づき、パスサーチ部全体の制御を管理する。また、profile作成制御部2501では、2回目以降の遅延プロファイル作成については、パス管理部2510からの情報に基づき位相情報をトラッキングして用いる。

30 【0013】バッファ入出力制御回路2502では、profile作成制御部2501の指示に従って、遅延プロファイル作成に用いる受信データ（A/D変換後の受信信号）を取り込み回路2503を介してバッファ回路2504に取り込む。バッファ回路2504には、必要なデータ量が格納される。

【0014】このとき、バッファ回路2504に取り込むデータの大きさは、基地局の1データ（シンボル）のバウンダリが任意であるため、2シンボル+遅延プロファイルの窓幅である。また、その取り込むデータのサンプリングレートは、一般的にフィンガトラッキング幅である。

40 【0015】次に、バッファ入出力制御回路2502は、profile作成制御部2501の指示に従って、基地局毎の位相情報に基づき、使用する受信データ（1シンボル+遅延プロファイル窓幅分）のバッファ回路2504での先頭位置を指定し、そこから遅延プロファイルの分解能間隔でデータを順次マッチドフィルタ部2506へ出力するように、バッファ回路2504および出力回路2505へ指示を出す。

50 【0016】出力するデータのレート（遅延プロファイ

ルの分解能)と、バッファ回路2504にあるデータのサンプリングレートは必ずしも一致せず、遅延プロファイルの分解能は、フィンガ制御部2405のDLL処理でより細かな位相追従があるため、フィンガトラッキング幅の $1/2$ や $1/4$ のレートを用いて低消費電力化を図る。

【0017】マッチドフィルタ部2506では、基地局毎に、出力回路2505からの出力データを順次入力し、遅延プロファイルの窓幅×分解能分の相関値電力をIIR回路2507へ出力する。

【0018】IIR回路2507では、profile作成制御部2501からの係数指示に従い、マッチドフィルタ部2506の出力とprofile用メモリ部2508の出力とからIIR計算を行い、計算結果をprofile用メモリ部2508へ出力する。

【0019】profile用メモリ部2508では、「最大同時作成基地局数×遅延プロファイル窓幅のサンプル数」ワード以上のメモリ領域が確保されており、profile作成制御部2501の指示のもと、マッチドフィルタ部2506の出力順に各該当基地局の該当サンプルのIIR平均化後のメモリ内容をIIR回路2507へ出力し、そのIIR平均化後の出力を同アドレスのメモリへ退避する。

【0020】また、profile用メモリ部2508は、遅延プロファイル作成終了後、profile作成制御部2501からの指示のもと、profile用メモリ部2508に格納されている遅延プロファイルの各サンプルデータを基地局毎にパス検出回路2509へ順次出力する。

【0021】パス検出回路2509では、基地局毎の入力データを分析し、パス検出を行い、その結果をパス管理部2510へ出力する。パス管理部2510では、パス検出回路2509の出力とフィンガ制御部2405からのトラッキング情報とに基づき、基地局毎に最新のパス管理情報の更新を行い、その結果をフィンガ制御部2405とprofile作成制御部2501とに通知する。

【0022】なお、位相情報から遅延プロファイルの窓位置を決める方法は、位相情報が最大パスの位相であるとするのが一般的なため、profile作成制御部2501では、1回目のプロファイル作成時は、その位相情報がどの程度信頼できるか不明なため(前回測定してからの環境変化、制御クロックの周波数ずれのため)、その位相が窓の中心になるようにし(図27でMAXP_POS=窓幅の半分)、2回目以降は、最大パスが直接波と仮定し窓位置の前寄りにその位相のパスがくるように決める場合(図27でMAXP_POS<窓幅の半分)もある。

【0023】図26は、上記パスサーチ動作の時系列概念図を示したものである。図26の例では、最大同時に6基地局分の遅延プロファイルの作成が可能な図となっている。以下に、図26を用いて前述の図25の各回路

の動作を時系列順に説明する。なお、図26においてMF回路は、マッチドフィルタ部2506を指している。

【0024】まず、バッファ回路2504に、(2シンボル+遅延プロファイル窓幅)分の受信データを取り込む(図中)。次に、バッファ回路2504にあるデータの中から、基地局毎に、必要なデータ(1シンボル+遅延プロファイル窓幅)をマッチドフィルタ部2506へ出力する(図中)。

【0025】マッチドフィルタ部2506では、バッファ回路2504からのデータを順次処理し、相関値電力としてIIR回路2507へ出力する(図中)。IIR回路2507では、マッチドフィルタ部2506の出力と同時に該当基地局該当サンプルのデータをprofile用メモリ部2508から受け取り、IIR平均し、profile用メモリ部2508へ出力する。

【0026】以上のバッファ出力からIIR平均出力までの動作が基地局数分繰り返される。上記、バッファ回路入力以降の動作1回で、1シンボル分のIIR平均されたことになる(図中)。一般に、パスサーチの精度を上げるため、図中の動作を複数回繰り返すことで、安定的なパス検出を実現している。

【0027】図中の動作を複数繰り返した後、profile用メモリ部2508にある遅延プロファイル結果を基地局毎に順次パス検出回路2509へ出力し、パス検出、パス管理の更新を行う(図中)。

【0028】以上の一連の動作を一定間隔で行うことにより、パスの新規登録・削除などを行っている。一般に、同時に作成する基地局数が、6に満たない場合には、その基地局数分、図中、の基地局毎の処理が回路的に実現しないだけで、の幅は変わらない。

【0029】

【発明が解決しようとする課題】しかしながら、従来のパス検出方法では、遅延プロファイルの窓幅を大きくすると、消費電流が大きくなり、窓幅を小さくすると、消費電流は減るが、図27に示したように、最大パスの[path1]を検出できても、遅延プロファイルの窓位置の外にある[path2]が検出できない場合があり、その分受信性能が劣化するという問題がある。

【0030】一般的に都市部などのマルチパス環境では、10us~15us程度の最遅延パスが検出できれば十分であると言われているが、見通しの良い場所などでは、20us以上の遅延波が検出でき、RAKE合成できるかできないかで受信性能に差が出る。

【0031】本発明は、かかる点に鑑みてなされたものであり、パス検出方法において、受信性能を維持したまま、低消費電力化を図ることができるCDMA受信装置を提供することを目的とする。

【0032】

【課題を解決するための手段】本発明のCDMA受信装置は、複数の基地局と同時にリンクでき、複数パスの受

信号を合成するRAKE受信回路を含むCDMA受信装置において、通信制御部からの符号情報や位相情報をもとに相関値遅延プロファイルを測定し、その形状から前記RAKE受信回路に用いるフィンガ（パス）割当て情報を提供するパスサーチ部が、同時にリンクする基地局数に応じ、前記遅延プロファイルの窓幅を変えるようにした。

【0033】これによれば、遅延プロファイルの作成に際し、受信環境、例えばSHO状態のリンクする基地局数を判断条件とし、遅延プロファイルの窓幅を可変にすることができる。これにより、リンクする基地局が多い場合、つまり、窓幅が小さい遅延プロファイルでも、各基地局ごとに最大パスが検出できRAKE合成できている場合は、遅延の大きなパスを検出してRAKE合成に加えてもさほど受信特性は変わらないので、消費電流が小さくなるように窓幅をより小さく作成する。また、リンクする基地局数が少ない場合、つまり、大きな遅延パスが検出できRAKE合成できるかどうかで受信性能に大きく差が出る場合は、遅延プロファイルの窓幅をより大きくし、大きな遅延パスの検出を可能にさせることができる。したがって、受信性能を維持したまま、低消費電流化が実現できる。

【0034】本発明のCDMA受信装置は、前記パスサーチ部は、リンクする最大基地局数以上同時作成可能な固定窓幅／固定相関値間隔の相関値遅延プロファイル作成手段を用いて、窓幅を大きくする場合は、複数の遅延プロファイルの窓位置の位相を窓幅分ずらすことにより、複数の遅延プロファイル出力を、1つの遅延プロファイルとしてパス検出を行うようにした。

【0035】これによれば、既存の簡素な回路を用いて上記の発明と同様の作用・効果が得られる。

【0036】本発明のCDMA受信装置は、複数の基地局と同時にリンクでき、複数パスの受信信号を合成するRAKE受信回路を含むCDMA受信装置において、通信制御部からの符号情報や位相情報をもとに相関値遅延プロファイルを測定し、その形状から前記RAKE受信回路に用いるフィンガ（パス）割当て情報を提供するパスサーチ部が、同時にリンクする基地局数に応じ、前記遅延プロファイルの演算シンボル数を変えるようにした。

【0037】これによれば、遅延プロファイルの作成に際し、受信環境、例えばSHO状態のリンクする基地局数や電界強度を判断条件とし、遅延プロファイルの積算シンボル数を可変にすることができる。これにより、強電界においては、積算シンボル数が多くなくてもパス検出できるので、その積算シンボル数を抑え、弱電界においては、積算シンボル数を増やし、パス検出精度を高めるアルゴリズムにすることにより、受信性能を維持したまま、消費電力を抑えることを可能にする。

【0038】また、リンクする基地局数が多い時は、1

シンボル分の積算の演算時間も多く必要であり、ハードウェアの処理能力から一定時間内に積算できるシンボル数に制限がある。したがって、リンクする基地局が少なければ、同じ時間内であっても、より多くの積算が可能であり、より精度の高いパス検出が可能となる。これは、リンクする基地局が多い時は、検出できるパス数が多く、通信がより安定しており、リンクする基地局が少ない場合に比べて高精度の検出の必要性が少ないという関係と一致している。

10 【0039】本発明のCDMA受信装置は、前記パスサーチ部は、リンクする最大基地局数以上同時作成可能な固定窓幅／固定相関値間隔の相関値遅延プロファイル作成手段を用いて、積算シンボル数を多くする場合は、複数の遅延プロファイルで演算対象シンボルをずらした入力信号を逆拡散し、その複数の遅延プロファイル出力をサンプル毎に加算した結果を1つの遅延プロファイルとしてパス検出を行うようにした。これによれば、既存の簡素な回路を用いて上記の発明と同様の作用・効果が得られる。

20 【0040】本発明のCDMA受信装置は、複数の基地局と同時にリンクでき、複数パスの受信信号を合成するRAKE受信回路を含むCDMA受信装置において、通信制御部からの符号情報や位相情報をもとに相関値遅延プロファイルを測定し、その形状から前記RAKE受信回路に用いるフィンガ（パス）割当て情報を提供するパスサーチ部が、同時にリンクする基地局数に応じ、前記遅延プロファイルの相関値間隔を変えるようにした。

【0041】これによれば、遅延プロファイルの作成に際し、受信環境、例えばSHO状態のリンクする基地局数や電界強度、またはその作成目的を判断条件とし、遅延プロファイルの相関値間隔（分解能）を可変にすることができる。これにより、リンクする基地局数が少ない場合、または弱電界の場合は、分解能を高くし、リンクする基地局数が多い場合、または、強電界の場合は、分解能を低くするアルゴリズムにすることにより、受信性能を維持したまま、消費電力を抑えることを可能にする。

【0042】また、リンクする基地局数が少ないまたは弱電界の場合には、それだけ1つ1つのパスの割り当て精度が受信性能に大きく影響するが、この場合に遅延プロファイルの分解能を高めると、DLLでフィンガトラッキングする前の最初にフィンガにパスを割り当てる位相精度の向上が図れるので、受信性能の向上を可能にする。

40 【0043】本発明のCDMA受信装置は、前記パスサーチ部は、リンクする最大基地局数以上同時作成可能な固定窓幅／固定相関値間隔の相関値遅延プロファイル作成手段を用いて、相関値間隔を1/Nに密にする場合は、N個の遅延プロファイルで1/Nチップずつ位相をずらした入力信号を逆拡散し、そのN個の遅延プロファ

イル出力を順に読み出すことにより、1つの遅延プロファイルとしてパス検出を行うようにした。

【0044】これによれば、既存の簡素な回路を用いて上記の発明と同様の作用・効果が得られる。

【0045】本発明のCDMA受信装置は、複数パスの受信信号を合成するRAKE受信回路を含むCDMA受信装置において、通信制御部からの符号情報や位相情報をもとに相関値遅延プロファイルを測定し、その形状から前記RAKE受信回路に用いるフィンガ（パス）割当て情報を提供するパスサーチ部が、通常測定する遅延プロファイルのほかに、10 システム的に未使用の拡散符号を用いて遅延プロファイルを測定し、それをノイズと見なし分布解析を行い、その解析結果をパスサーチ判定要素として用いるようにした。

【0046】これによれば、パスがありえない拡散符号で遅延プロファイルを作成することにより、ノイズ分布を正確に把握できるので、その分析情報に基づきパス検出判定の精度向上を図ることが可能となる。受信性能に関して、本来パスでないのにその位相で逆拡散しRAKE合成に含めると、性能は劣化する。したがって、パス検出判定の精度向上は、受信性能向上に直接影響する。

【0047】本発明のCDMA受信装置は、複数パスの受信信号を合成するRAKE受信回路を含むCDMA受信装置において、通信制御部からの符号情報や位相情報をもとに相関値遅延プロファイルを測定し、その形状から前記RAKE受信回路に用いるフィンガ（パス）割当て情報を提供する構成のパスサーチ部が、通常測定する遅延プロファイルのほかに、位相だけを大きくずらして測定した遅延プロファイルを作成し、それをノイズと見なしノイズ分布解析を行い、その解析結果をパスサーチ判定要素として用いるようにした。

【0048】これによれば、パスがありえない位相で遅延プロファイルを作成することにより、ノイズ分布を正確に把握できるので、その分析情報に基づきパス検出判定の精度向上を図ることが可能となり、上記発明と同様の効果が得られる。本発明では、これから受信しようとする拡散符号と位相が既知であるので、同じ拡散符号を用いて、位相のみパスがありえないようにすればよいので、先の発明のように実運用で使用していない拡散符号をシステム的に準備するか、使用していない拡散符号を20 知る手段が必要はなくなるという効果がある。

【0049】本発明のCDMA受信装置は、複数パスの受信信号を合成するRAKE受信回路を含むCDMA受信装置において、通信制御部からの符号情報や位相情報をもとに相関値遅延プロファイルを測定し、その形状から前記RAKE受信回路に用いるフィンガ（パス）割当て情報を提供するパスサーチ部が、測定する毎にその遅延プロファイルの窓位置を前後に偏らせてパスサーチを行うようにした。

【0050】これによれば、実際のハードウェア機能の

遅延プロファイル窓幅より大きな範囲のパス検出が可能となる。したがって、遅延の大きなパスの検出が可能となり、受信性能の向上が図れる。

【0051】本発明のCDMA受信装置は、前記パスサーチ部は、既にフィンガ割当てされているパス位相を必ず窓内に含むように、測定する毎にその遅延プロファイルの窓位置を前後に偏らせるようにした。

【0052】これによれば、上記の発明に比べて、一旦検出したパスの状況を常に知ることができるので、急激な変動に対してもパス削除やパストラッキングが可能となる。また、同一時間で作成した遅延プロファイル上にないパス同士の電力の大きさ比較などのわずらわしい管理が不要にできる。

【0053】本発明のCDMA受信装置は、前記パスサーチ部は、ある定められた位相幅は必ず窓内に含むように、測定する毎にその遅延プロファイルの窓位置を前後に偏らせるようにした。

【0054】これによれば、上記の発明に比べて、主波を中心に任意幅を必ず窓内に含むようにした場合、主波の状況を常に知ることができるので、主波の急激な変動に対してもパス削除やパストラッキングが可能となる。また、同一時間で作成した遅延プロファイル上にないパス同士の比較なども主波とのレベル差という形で管理できるので比較的楽になる。

【0055】本発明のCDMA受信装置は、前記パスサーチ部は、重なる窓幅を伝搬環境に応じて適応的に変えるようにした。

【0056】これによれば、伝搬環境に応じて、例えば、検出パスの数が多い場合などは、既に主波とともに多くのパスがフィンガに割り当てられている可能性が高く、比較的新規のパスを検出する必要性は小さくなるので、上記発明でいう重なる窓幅を大きくし、主波周辺のプロファイルを常に把握しておけば、より安定的な受信ができることになる。逆に、検出パスの数が多い場合などは、フィンガに割り当てられたパス数が多いほど受信性能は上がると考えられるため、遅延の大きなパスの検出ができるように、重なる窓幅を小さくし、より広範囲をパス検出対象にすることができる。

【0057】本発明のCDMA受信装置は、前記パスサーチ部は、窓の位置を伝搬環境に応じて適応的に動かす頻度を変えるようにした。

【0058】これによれば、伝搬環境に応じて、例えば、検出パスの数が多い場合などは、既に主波とともに多くのパスがフィンガに割り当てられている可能性が高く、比較的新規のパスを検出する必要性は小さくなるため、上記発明でいう窓の位置を動かす頻度を少なくすることにより、主波周辺のプロファイルを常に把握しておけば、より安定的な受信ができることになる。逆に、検出パスの数が多い場合などは、フィンガに割り当てられたパス数が多いほど受信性能は上がると考えられるた

め、遅延の大きなパスの検出ができるように、窓の位置を動かす頻度を頻繁にすることにより、広範囲を頻繁にパス検出対象にすることができる。

【0059】

【発明の実施の形態】本発明の骨子は、パスサーチの窓幅や窓位置を電波伝搬環境に応じて適応的に変えるようにすることである。以下、発明の実施の形態について、図面を参照して詳細に説明する。

【0060】（実施の形態1）図1は、本発明の実施の形態1に係るCDMA受信装置の構成を示すブロック図である。図2は、図1に示すパスサーチ部の構成を示すブロック図である。図3は、本実施の形態1によるパスサーチ動作の時系列概念図である。図4は、本実施の形態1による遅延プロファイル窓の一例を示す図である。なお、図1と図2では、従来例（図24、図25）で示した構成と同一ないしは相当する要素には、同一の符号・名称を付してある。ここでは、この実施の形態1に関わる部分を中心に説明する。この点は、以下の各実施の形態において同じである。

【0061】図1において、実施の形態1に係るCDMA受信装置では、図24に示した構成のうち、パスサーチ部2404に代えて、パスサーチ部101が設けられている。また、パスサーチ部101は、図2に示すように、図25に示した構成のうち、profile作成制御部2501に代えてprofile作成制御部201が設けられ、バッファ入出力制御回路2502に代えてバッファ入出力制御回路202が設けられ、バッファ回路2503に代えてバッファ回路203が設けられ、profile用メモリ部2508に代えてprofile用メモリ部204が設けられている。

【0062】次に、実施の形態1に係るCDMA受信装置におけるパス検出動作を説明する。まず、図4を用いて遅延プロファイル窓について説明する。この実施の形態1では、profile作成制御部201では、profile作成に際し、受信環境、例えばSHO（ソフトハンドオーバー）状態のリンクする基地局数を判断条件とし、遅延プロファイルの窓幅を可変にしている。

【0063】すなわち、profile作成制御部201では、リンクする基地局数に応じ、作成する遅延プロファイル窓幅を決める。そのアルゴリズムは、リンクする基地局が多い場合には窓幅を小さく作成し（図4の「通常profile窓」）、リンクする基地局数が少ない場合は、遅延プロファイルの窓幅をより大きくする（図4の「拡張profile窓」）とするものである。

【0064】つまり、リンクする基地局が多く、各基地局ごとに最大パスが検出できRAKE合成できている場合には、遅延の大きなパスを検出してRAKE合成に加えてもさほど受信特性は変わらないので、消費電流が小さくなるように、窓幅をより小さく作成する。また、リンクする基地局数が少なく、大きな遅延パスが検出でき

RAKE合成できるかどうかで受信性能に大きく差が出る場合には、遅延プロファイルの窓幅をより大きくし、大きな遅延パスの検出を可能にさせるのである。これにより、リンクする基地局数が少ない場合は、図4に示した通り、通常profile窓では検出できない[path 2]を検出することができることとなる。

【0065】バッファ入出力制御回路202は、profile作成制御部201で決定された作成する遅延プロファイル窓幅に従い、バッファ回路203に取り込むデータ量を調整し、バッファ回路203から出力する基地局あたりのデータ量の調整も行う。同様に、profile作成制御部201は、profile用メモリ部204に対し、決定した遅延プロファイル窓幅に従い、入出力するデータの先頭位置とデータ量の調整し動作を指示する。

【0066】さらに、パス検出回路205も、決定した遅延プロファイル窓幅を認識し、検出したパスの絶対位相を正しく把握し、結果に反映させる。なお、バッファ回路203とprofile用メモリ部204は、確保すべき最大サイズが従来例よりも増加している。

【0067】次いで、図3を用いて、パスサーチの動作を、従来例（図26）と比較しながら説明する。リンクする基地局が多い場合（図では6基地局）、図26に示した従来例と同じ動作をする。そのときのプロファイル窓の例は、図4の「通常profile窓」である。

【0068】リンクする基地局が少ない場合（図では3基地局）、図3に示した動作をする。まず、バッファ回路203に取り込むデータ量（ ）は、通常（図26）の（ ）に比べ、遅延プロファイル窓幅の増加時間分増える。その後のバッファ回路出力（ ）、基地局あたりのMF回路出力、profile用メモリ部入出力（ ）も、遅延プロファイル窓幅の増加時間分増える。

【0069】1シンボル積算分の時間（ ）は、通常（図26）と変えることなく実現できる。これは、バッファ入力データ量が増加し、1基地局あたりの演算時間は増加するが、演算する基地局数が減っているためである。

【0070】所定の積算シンボル数分、 を繰り返した後、 でパス検出処理を行う。検出にかかる時間も、1基地局あたりにかかる検出時間は増加するが、検出する基地局数が減っているため、変えることなく実現できる。

【0071】このように、本実施の形態1では、図3中の で示すように、全体の大きなシーケンスのタイミング・スケジューリングを変えずに、同時にリンクする基地局数に応じて遅延プロファイルの窓幅を変えることができるので、受信性能を維持したまま、低消費電流化が実現できる。

【0072】（実施の形態2）図5は、本発明の実施の形態2に係るCDMA受信装置におけるパスサーチ部の構成を示すブロック図である。図6は、本実施の形態2

による遅延プロファイル窓の一例を示す図である。

【0073】本実施の形態2では、図1に示す実施の形態1に係るCDMA受信装置において、パスサーチ部101が図5に示すように構成される。すなわち、パスサーチ部101は、図5に示すように、図25に示した構成のうち、profile作成制御部2501に代えてprofile作成制御部501が設けられ、バッファ入出力制御回路2502に代えてバッファ入出力制御回路502が設けられ、バッファ回路2503に代えてバッファ回路503が設けられ、パス検出回路2509に代えてパス検出回路504が設けられている。

【0074】次に、実施の形態2に係るCDMA受信装置におけるパス検出動作について説明する。

【0075】profile作成制御部501では、リンクする基地局数に応じ、作成する遅延プロファイル窓幅を決める。そのアルゴリズムは、リンクする基地局が多い場合は窓幅を小さく作成し(図27)、リンクする基地局数が少ない場合は、遅延プロファイルの窓幅を2倍に大きくする(図6)。

【0076】これにより、リンクする基地局数が少ない場合は、図27、図6に示した通り、通常profile窓では検出できない[path2]を検出することができるようになる。

【0077】バッファ入出力制御回路502とバッファ回路503は、従来例に比べて遅延プロファイル窓幅増加時間分多くA/D変換後の受信データを取り込み、マッチドフィルタ部2506に遅延プロファイル窓幅増加時間分多く出力するだけであるので、実施の形態1と同じ回路でよい。

【0078】profile作成制御部501では、窓幅を2倍にするとときは、図6で示す通り、profile用メモリ部2508の2基地局分のメモリ領域を使って、遅延プロファイルを作成するように制御する。

【0079】パス検出回路504も、決定した遅延プロファイル窓幅を認識し、検出したパスの絶対位相を正しく把握する。

【0080】このように、実施の形態2では、既存の簡素な回路を用いて実施の形態1と同様の効果が得られる。

【0081】(実施の形態3)図7は、本発明の実施の形態3に係るCDMA受信装置におけるパスサーチ部の構成を示すブロック図である。図8は、本実施の形態3によるパスサーチ動作の時系列概念図である。

【0082】本実施の形態3では、図1に示す実施の形態1に係るCDMA受信装置において、パスサーチ部101が図7に示すように構成される。すなわち、パスサーチ部101は、図7に示すように、図25に示した構成のうち、profile作成制御部2501に代えてprofile作成制御部701が設けられ、バッファ入出力制御回路2502に代えてバッファ入出力制御回路702が設け

られている。

【0083】次に、実施の形態3に係るCDMA受信装置におけるパス検出動作について説明する。

【0084】profile作成制御部701では、リンクする基地局数に応じ、作成する遅延プロファイルの積算シンボル数を決める。そのアルゴリズムは、リンクする基地局が多い場合は通常通りの積算シンボル数で作成し(図27)、リンクする基地局数が少ない場合は、リンク数に応じ実演算にかかる時間(′)に従い、積算シンボル数を多くする(図8)。

【0085】図8は、リンクする基地局数が2の場合である。図8において、>′のため、一定の遅延プロファイル作成時間内に積算できるシンボル数は、明らかにリンクする基地局数が少ないほうである。

【0086】バッファ入出力制御回路702では、profile作成制御部701の指示のもと、一連の1シンボル分の積算処理(′)の間隔で処理を繰り返す。

【0087】このように、実施の形態3では、profile作成に関し、受信環境、例えばSHO状態のリンクする基地局数や電界強度を判断条件とし、遅延プロファイルの積算シンボル数を可変にするようにしている。

【0088】つまり、強電界においては、積算シンボル数が多くなくてもパス検出できるので、その積算シンボル数を抑える一方、弱電界においては、積算シンボル数を増やし、パス検出精度を増すアルゴリズムとしている。これにより、受信性能を維持したまま、消費電力を抑えることが可能となる。

【0089】また、リンクする基地局数が多い時は、1シンボル分を積算する演算時間も多く必要であり、ハードウェアの処理能力から一定時間内に積算できるシンボル数に制限がある。したがって、リンクする基地局が少なければ、同じ時間内であっても、より多くの積算が可能であり、より精度の高いパス検出が可能となる。これは、リンクする基地局が多い時は、検出できるパス数が多く、通信がより安定しており、リンクする基地局が少ない場合に比べて高精度の検出の必要性が少ないという関係と一致している。

【0090】(実施の形態4)図9は、本発明の実施の形態4に係るCDMA受信装置におけるパスサーチ部の構成を示すブロック図である。図10は、本実施の形態4によるパスサーチ動作の時系列概念図である。

【0091】本実施の形態4では、図1に示す実施の形態1に係るCDMA受信装置において、パスサーチ部101が図9に示すように構成される。すなわち、パスサーチ部101は、図9に示すように、図25に示した構成のうち、profile作成制御部2501に代えてprofile作成制御部901が設けられ、バッファ入出力制御回路2502に代えてバッファ入出力制御回路902が設けられ、バッファ回路2504に代えてバッファ回路903が設けられている。

【0092】次に、実施の形態4に係るCDMA受信装置におけるパス検出動作について説明する。

【0093】profile作成制御部901では、リンクする基地局数に応じ、作成する遅延プロファイルの積算シンボル数を決める。そのアルゴリズムは、リンクする基地局が多い場合は通常通りの積算シンボル数で作成し（図27）、リンクする基地局数が少ない場合は、通常の2倍に積算シンボル数を多くする（図10）。

【0094】バッファ入出力制御回路902では、profile作成制御部901で決定された積算シンボル数に従い、バッファ回路903に取り込むデータ量を調整する。つまり、積算シンボル数が通常の場合は、従来と同じデータ量を取り込む。2倍の積算シンボル数の場合は、従来に比べて1シンボル時間分のデータを余分に取り込む（図10'）。

【0095】2倍の積算シンボル時は、バッファ回路903にはどんな位相であっても、異なる2シンボル分の積算可能なデータが蓄積されている。したがって、基地局毎に、従来の2基地局分の演算時間をかけて、同じprofile用メモリ部に積算していく（図10''）。

【0096】したがって、従来一連の積算シーケンスで、基地局あたり1シンボルの積算だったものが、2シンボルの積算を行ったことになる。このとき、一連の積算シーケンスにかかる時間（図10'''）は、一定となるので、遅延プロファイルの作成時間が一定でも、積算シンボル数を2倍にすることが可能となる。

【0097】このように、実施の形態4では、既存の簡素な回路を用いて実施の形態1と同様の効果が実現できる。

【0098】（実施の形態5）図11は、本発明の実施の形態5に係るCDMA受信装置におけるパスサーチ部の構成を示すブロック図である。図12は、本実施の形態5によるパスサーチ動作の時系列概念図である。図13は、本実施の形態5による遅延プロファイル窓の一例を示す図である。

【0099】本実施の形態5では、図1に示す実施の形態1に係るCDMA受信装置において、パスサーチ部101が図11に示すように構成される。すなわち、パスサーチ部101は、図11に示すように、図25に示した構成のうち、profile作成制御部2501に代えてprofile作成制御部1101が設けられ、バッファ入出力制御回路2502に代えてバッファ入出力制御回路1102が設けられ、マッチドフィルタ部2506に代えてマッチドフィルタ部1103が設けられ、パス検出回路2509に代えてパス検出回路1104が設けられている。

【0100】次に、実施の形態5に係るCDMA受信装置におけるパス検出動作について説明する。

【0101】profile作成制御部1101では、リンクする基地局数に応じ、作成する遅延プロファイルの分解

能を決める。そのアルゴリズムは、リンクする基地局が多い場合は通常通りの分解能で作成し（図27）、リンクする基地局数が少ない場合は、通常の2倍に分解能を上げる（図12、図13）。

【0102】通常通りの分解能の動作は、従来例で示した動作と同じである。ここでは、2倍に分解能を上げるときの動作を説明する。

【0103】バッファ入出力制御回路1102は、profile作成制御部1101の指示のもと、バッファ回路2504から通常よりも2倍のサンプリングレート間隔でデータ内容を取り出し、出力回路2505を経て、マッチドフィルタ部1103へ出力する。

【0104】マッチドフィルタ部1103では、バッファ入出力制御回路1102からの情報で、分解能が2倍となったことを知り、分解能2倍のモードで処理し、IIR回路2507へ順次相関値電力結果を出力する（図12'）。

【0105】IIR回路2507は、profile作成制御部1101の指示のもと、1基地局あたり通常の2基地局分のメモリを使用し、IIR平均させていく（図12''）。その結果、図13の上段に示すように、遅延プロファイル(a)がprofile用メモリ部2508のprofile0用メモリ領域に作成され、遅延プロファイル(b)がprofile用メモリ部2508のprofile1用メモリ領域に作成される。

【0106】パス検出回路1104では、分解能2倍の動作を知り、遅延プロファイル(a)の出力と遅延プロファイル(b)の出力とを連続して、通常の2倍のデータ量を読み込み、図13の下段に示す遅延プロファイル(c)と認識し、パス検出を行い、その検出結果をパス管理部2510へ出力する（図12'''）。

【0107】このように、本実施の形態5では、profile作成に際し、受信環境、例えばSHO状態のリンクする基地局数や電界強度、またはその作成目的を判断条件とし、遅延プロファイルの相関値間隔（分解能）を可変にするようにしている。

【0108】つまり、リンクする基地局数が少ない場合、または弱電界の場合には、分解能を高くする一方、リンクする基地局数が多い場合、または、強電界の場合には、分解能を低くするアルゴリズムとしている。これにより、受信性能を維持したまま、消費電力を抑えることを可能となる。

【0109】また、リンクする基地局数が少ないまたは弱電界の場合には、それだけ1つ1つのパスの割り当て精度が受信性能に大きく影響するが、この場合に遅延プロファイルの分解能を高めると、DLLでフィンガトラッキングする前の最初にフィンガにパスを割り当てる位相精度の向上が図れるので、受信性能の向上を可能にする。

【0110】（実施の形態6）図14は、本発明の実施

の形態6に係るCDMA受信装置におけるパスサーチ部の構成を示すブロック図である。図15は、本実施の形態6によるパスサーチ動作の時系列概念図である。図16は、本実施の形態6による遅延プロファイル窓の一例を示す図である。

【0111】本実施の形態6では、図1に示す実施の形態1に係るCDMA受信装置において、パスサーチ部101が図14に示すように構成される。すなわち、パスサーチ部101は、図14に示すように、図25に示した構成のうち、profile作成制御部2501に代えてprofile作成制御部1401が設けられ、パス検出回路2509に代えてパス検出回路1402が設けられている。

【0112】次に、実施の形態6に係るCDMA受信装置におけるパス検出動作について説明する。

【0113】profile作成制御部1401では、リンクする基地局数に応じ、作成する遅延プロファイルの分解能を決める。そのアルゴリズムは、リンクする基地局が多い場合は通常通りの分解能で作成し(図27)、リンクする基地局数が少ない場合は、通常の2倍に分解能を上げる(図15、図16)。

【0114】通常通りの分解能の動作は、従来例で示した動作と同じである。ここでは、2倍に分解能を上げるときの動作を説明する。

【0115】1基地局あたり、通常の基地局2個分の演算シーケンスを使用する(図15の を2回分)。1つは、通常動作と同じプロファイル(profile0用メモリ領域で作成する(図16(a)))。そして、もう一つは、profile1用メモリ領域にて、profile0用メモリの遅延プロファイルとは位相を通常分解能の1/2後ろにずらした遅延プロファイルを作成する(図16

(b))。これにより、お互いのサンプル点のちょうど真ん中の相関値電力をもった(補間した)遅延プロファイルが作成される。

【0116】パス検出回路1402では、分解能2倍の動作を知り、遅延プロファイル(a)の出力と遅延プロファイル(b)の出力とを交互に(通常の2倍のデータ量)読み込み、図16の下段に示す遅延プロファイル(c)と認識し、パス検出を行い、結果をパス管理部510へ出力する。(図15)。

【0117】実施の形態5に比べて、マッチドフィルタ部に関しては、分解能2倍で動作する必要がないので、回路規模を増大することなく、低消費電流化が実現できる。

【0118】(実施の形態7)図17は、本発明の実施の形態7に係るCDMA受信装置におけるパスサーチ部の構成を示すブロック図である。図18は、本実施の形態7による遅延プロファイル窓の一例を示す図である。

【0119】本実施の形態7では、図1に示す実施の形態1に係るCDMA受信装置において、パスサーチ部101が図17に示すように構成される。すなわち、パス

サーチ部101は、図17に示すように、図25に示した構成のうち、profile作成制御部2501に代えてprofile作成制御部1701が設けられ、パス検出回路2509に代えてパス検出回路1702が設けられている。

【0120】次に、実施の形態7に係るCDMA受信装置におけるパス検出動作について説明する。

【0121】profile作成制御部1701は、通常作成する遅延プロファイルとは別に、システム的に使用していない拡散符号、任意位相で、ノイズ分布解析用遅延プロファイルを作成するように、各部に指示を出す。その結果、図18(a)、(b)に示すような通常プロファイルのほかに、図18(c)に示すようなノイズ分布解析用遅延プロファイルが完成する。

【0122】完成後、profile作成制御部1701は各部に指示を出し、最初にノイズ分布解析用遅延プロファイル(図18(c))をprofile用メモリ部2508からパス検出回路1702へ出力させ、その後、順次、基地局毎の遅延プロファイルを出力させる。

【0123】パス検出回路1702では、最初にノイズ分布解析用遅延プロファイル(図18(c))が入力し、パスのない理想的な遅延プロファイルからノイズ分布解析を行い、その結果を、以降に読み込む遅延プロファイルのパス判定に用いるパラメータとして使用する。

【0124】このように、パスがありえない拡散符号で遅延プロファイルを作成することにより、ノイズ分布を正確に把握できるので、その分析情報に基づきパス検出判定の精度向上を図ることが可能となる。受信性能は、本来パスでないのにその位相で逆拡散しRAKE合成に含めると、劣化する。したがって、パス検出判定の精度向上は、受信性能向上に直接影響する。

【0125】なお、パスがありえない位相で遅延プロファイルを作成することによっても、ノイズ分布を正確に把握できるので、その分析情報に基づきパス検出判定の精度向上を図ることができ、同様の効果を得ることができる。これによれば、これから受信しようとする拡散符号と位相が既知であるので、同じ拡散符号を用いて、位相のみパスがありえないようにすればよい。したがって、実運用で使用していない拡散符号をシステム的に準備するか、使用していない拡散符号を知る手段の必要がなくなるという効果もある。

【0126】また、上記のシステム的に使用していない拡散符号、任意位相で、ノイズ分布解析用遅延プロファイルを作成する代わりに、同時に作成する遅延プロファイルの拡散符号を用いて、本来パスの有るべき位相から大きくずらした位相を指定にすることにより、ノイズ分布解析用遅延プロファイルを作成するようにしてもよい。

【0127】(実施の形態8)図19は、本発明の実施の形態8に係るCDMA受信装置におけるパスサーチ部の構成を示すブロック図である。図20は、本実施の形

態8による遅延プロファイル窓の一例を示す図である。

【0128】本実施の形態8では、図1に示す実施の形態1に係るCDMA受信装置において、パスサーチ部101が図19に示すように構成される。すなわち、パスサーチ部101は、図19に示すように、図25に示した構成のうち、profile作成制御部2501に代えてprofile作成制御部1901が設けられ、パス管理部2510に代えてパス管理部1902が設けられ、パス検出回路2509に代えてパス検出回路1903が設けられている。

【0129】次に、実施の形態8に係るCDMA受信装置におけるパス検出動作について説明する。profile作成制御部1901では、その遅延プロファイルが1回目か2回目以降かによって前回前寄りの遅延プロファイルだったか、後ろ寄りの遅延プロファイルだったかを記憶しておき、今回作成する遅延プロファイルを主波位相に対してどの位置に作成するかを決定する(図20)。

【0130】つまり、前寄り/後ろ寄りの2回に分けて時分割処理をすることにより、実際の遅延プロファイル窓の2倍の範囲のパス検出を可能としている。以下、図20を用いて説明をする。

【0131】もし、1回目の遅延プロファイルならば、指定された位相が窓の中心となるように作成する。2回目以降は、前回が後ろ寄りの遅延プロファイルでなかった場合は、後ろ寄りの遅延プロファイルを作成し、それ以外は、前寄りの遅延プロファイルを作成する。

【0132】パス検出回路1903では、今回作成した遅延プロファイル窓位置を把握して、新たなパス検出を行い、結果をパス管理部1902へ出力する。パス管理部1902では、既知パスの中に今回の遅延プロファイルの時間範囲外のパスがあるため、絶対的な相関値の大きさの比較はできない。そこで、パス管理部1902では、ノイズレベルとの大きさの比較で大小判定を行い、パスの登録削除などのパス管理をする。

【0133】図20において、1回目の窓位置で遅延プロファイルを作成し続けるのが従来例である。前述したように、従来では、遅延の大きな[path3]は検出できなかった。しかし、本実施の形態8によれば、2回目以降は、前回が後ろ寄りの遅延プロファイルでなかった場合は、後ろ寄りの遅延プロファイルを作成し、それ以外は、前寄りの遅延プロファイルを作成するので、遅延の大きな[path3]でも検出できるようになる。

【0134】実施の形態8によれば、実際のハードウェア機能の遅延プロファイル窓幅よりも大きな範囲のパス検出が可能となる。したがって、遅延の大きなパスの検出が可能となり、受信性能の向上が図れる。

【0135】(実施の形態9) 図21は、本発明の実施の形態9に係るCDMA受信装置におけるパスサーチ部で作成する遅延プロファイル窓の一例を示す図である。

本実施の形態9では、図19(実施の形態8)に示した

パスサーチ部の構成において、遅延プロファイルの作成位置決定のアルゴリズムを変更した例が示されている。

【0136】すなわち、本実施の形態9では、検出したパスでフィンガに割り当て、RAKE合成に使用しているパスは、必ず遅延プロファイル窓の中に含まれるように前寄り/後ろ寄りの遅延プロファイルを作成するようにしている。

【0137】図21では、前寄りの遅延プロファイルは、最早パスの(WIDTH-F1)時間分前を遅延プロファイル作成先頭位置とし、後ろ寄りの遅延プロファイルは、最遅パスの(WIDTH-B1)時間分後が遅延プロファイル窓の最後尾となるように作成する。

【0138】実施の形態9によれば、実施の形態8に比べて一旦検出したパスの状況を常に知ることができるので、急激な変動に対してもパス削除やパストラッキングが可能となる。また、同一時間で作成した遅延プロファイル上にないパス同士の電力の大きさ比較などのわずらわしい管理が不要になる。

【0139】(実施の形態10) 図22は、本発明の実施の形態10に係るCDMA受信装置におけるパスサーチ部で作成する遅延プロファイル窓の一例を示す図である。本実施の形態10では、図19(実施の形態8)に示したパスサーチ部の構成において、遅延プロファイルの作成位置決定のアルゴリズムを変更した例が示されている。

【0140】すなわち、本実施の形態10では、主波を含めたある一定範囲は毎回遅延プロファイルの範囲に含まれるように、前寄り/後ろ寄りの遅延プロファイルを作成するようにしている。

【0141】図22では、主波の前(WIDTH-F2)時間分、主波の後(WIDTH-B2)時間分の範囲は必ず遅延プロファイルの窓内に入るように作成している。このようにすれば、実施の形態8に比べて、主波の状況を常に知ることができるので、主波の急激な変動に対してもパス削除やパストラッキングが可能となる。また、同一時間で作成した遅延プロファイル上にないパス同士の比較なども主波とのレベル差という形で管理できるので比較的楽になる。

【0142】また、この重なる窓幅(WIDTH-F2、WIDTH-B2)は、受信環境に応じて適宜変えることが可能である。例えば、検出パスの数が多い場合などは、既に主波とともに多くのパスがフィンガに割り当てられている可能性が高く、比較的新規なパスを検出する必要は小さくなるので、重なる窓幅を大きくする。そうすれば、主波周辺のプロファイルを常に把握できるので、より安定的な受信ができることになる。逆に、検出パスの数が少ない場合などは、フィンガに割り当てられたパス数が多いほど受信性能は上がると考えられるので、遅延の大きなパスの検出ができるように、重なる窓幅を小さくする。そうすれば、より広範囲をパス

検出対象とすることができる。

【0143】(実施の形態11) 図23は、本発明の実施の形態11に係るCDMA受信装置におけるパスサーチ部で作成する遅延プロファイル窓の一例を示す図である。本実施の形態11では、図19(実施の形態8)に示したパスサーチ部の構成において、遅延プロファイルの作成位置決定のアルゴリズムを変更した例が示されている。

【0144】すなわち、本実施の形態11では、通常は、従来通りの位置で遅延プロファイルを作成し続けるが、受信環境により、前寄り/後寄りの遅延プロファイルの作成頻度を適宜変更できるようになっている。図23では、2回目、3回目で前後に偏らせた遅延プロファイルを作成し、その後X時間間隔で前後に偏らせた遅延プロファイルを作成するようにしている。

【0145】伝搬環境に応じて、例えば、検出パスの数が多い場合などは、既に主波とともに多くのパスがフィンガに割り当てられている可能性が高く、比較的新規なパスを検出する必要性は小さくなるので、重なる窓幅の位置を動かす頻度を少なくする。そうすれば、主波周辺のプロファイルを常に把握できるので、より安定的な受信ができることになる。逆に、検出パスの数が少ない場合などは、フィンガに割り当てられたパス数が多いほど受信性能は上がると考えられるため、遅延の大きなパスの検出ができるように、重なる窓幅の位置を動かす頻度を頻繁にする。そうすれば、広範囲を頻繁にパス検出対象とすることができる。

【0146】

【発明の効果】以上説明したように、本発明によれば、受信環境により窓幅を変えるようにしたので、受信性能を維持したまま、低消費電力化が図れるようになる。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係るCDMA受信装置の構成を示すブロック図

【図2】図1に示すパスサーチ部の構成を示すブロック図

【図3】本実施の形態1によるパスサーチ動作の時系列概念図

【図4】本実施の形態1による遅延プロファイル窓の一例を示す図

【図5】本発明の実施の形態2に係るCDMA受信装置におけるパスサーチ部の構成を示すブロック図

【図6】本実施の形態2による遅延プロファイル窓の一例を示す図

【図7】本発明の実施の形態3に係るCDMA受信装置におけるパスサーチ部の構成を示すブロック図

【図8】本実施の形態3によるパスサーチ動作の時系列概念図

【図9】本発明の実施の形態4に係るCDMA受信装置におけるパスサーチ部の構成を示すブロック図

【図10】本実施の形態4によるパスサーチ動作の時系列概念図

【図11】本発明の実施の形態5に係るCDMA受信装置におけるパスサーチ部の構成を示すブロック図

【図12】本実施の形態5によるパスサーチ動作の時系列概念図

【図13】本実施の形態5による遅延プロファイル窓の一例を示す図

【図14】本発明の実施の形態6に係るCDMA受信装置におけるパスサーチ部の構成を示すブロック図

【図15】本実施の形態6によるパスサーチ動作の時系列概念図

【図16】本実施の形態6による遅延プロファイル窓の一例を示す図

【図17】本発明の実施の形態7に係るCDMA受信装置におけるパスサーチ部の構成を示すブロック図

【図18】本実施の形態7による遅延プロファイル窓の一例を示す図

【図19】本発明の実施の形態8に係るCDMA受信装置におけるパスサーチ部の構成を示すブロック図

【図20】本実施の形態8による遅延プロファイル窓の一例を示す図

【図21】本発明の実施の形態9に係るCDMA受信装置におけるパスサーチ部で作成する遅延プロファイル窓の一例を示す図

【図22】本発明の実施の形態10に係るCDMA受信装置におけるパスサーチ部で作成する遅延プロファイル窓の一例を示す図

【図23】本発明の実施の形態11に係るCDMA受信装置におけるパスサーチ部で作成する遅延プロファイル窓の一例を示す図

【図24】従来のCDMA受信装置の構成例を示すブロック図

【図25】図24に示すパスサーチ部の構成例を示すブロック図

【図26】従来のパスサーチ動作の時系列概念図

【図27】従来の遅延プロファイル窓の一例を示す図

【符号の説明】

101 パスサーチ部

201, 501, 701, 901, 1101, 1401, 1701, 1901, 2501 profile作成制御部

202, 502, 702, 902, 1102, 2502 バッファ入出力制御回路

903, 2505 出力回路

204, 2508 profile用メモリ部

205, 504, 1104, 1402, 1702, 1903, 2509 パス検出回路

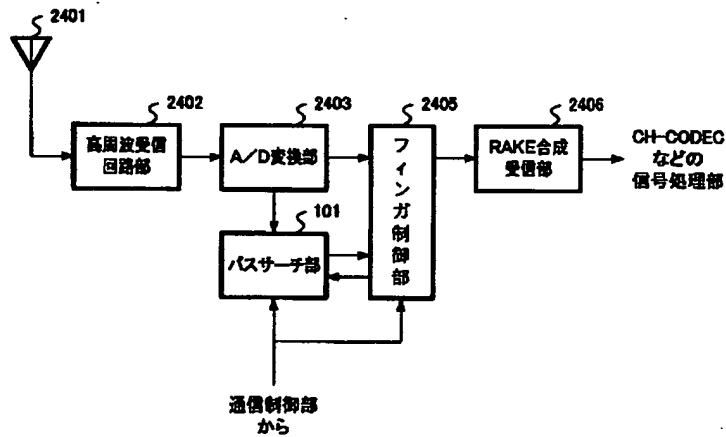
203, 503, 2504 バッファ回路

50 1103, 2506 マッチドフィルタ部

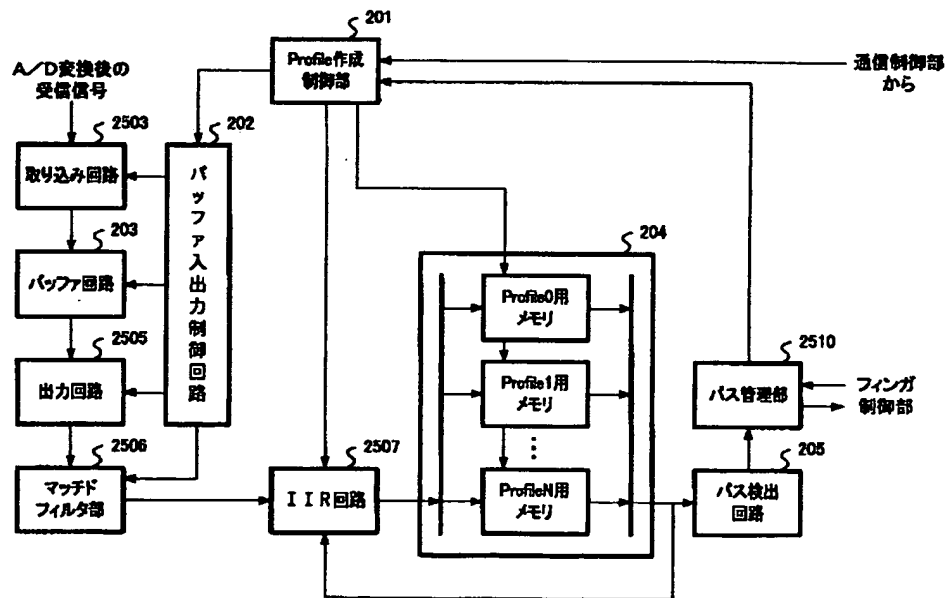
1902, 2510 パス管理部
 2401 アンテナ部
 2402 高周波受信回路
 2403 A/D変換部

2405 フィンガ制御部
 2406 RAKE合成受信部
 2503 取り込み回路
 2507 IIR回路

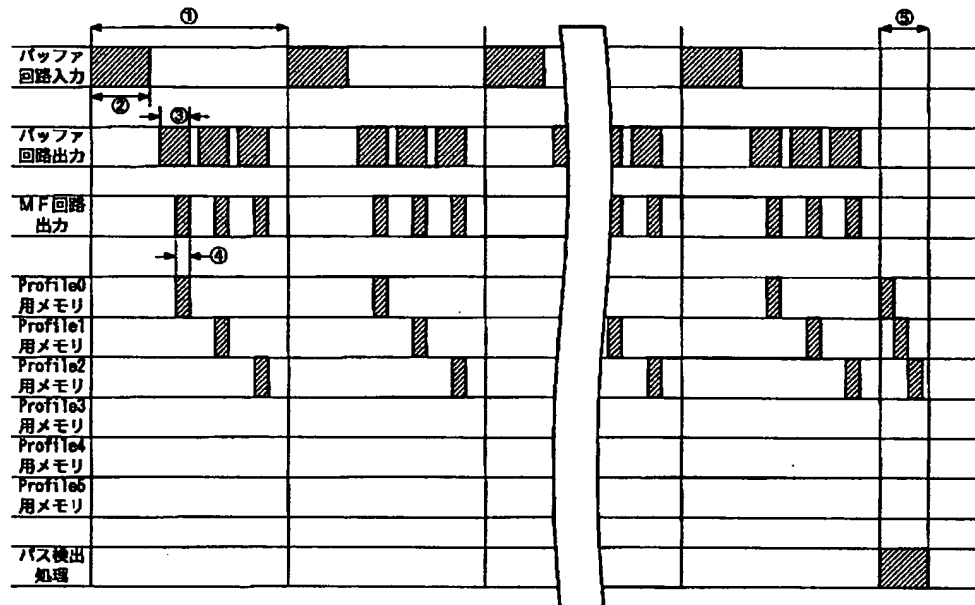
【図1】



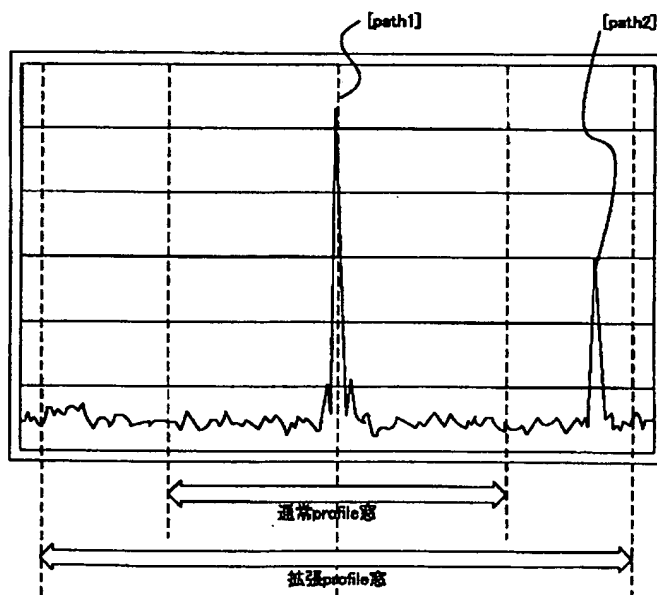
【図2】



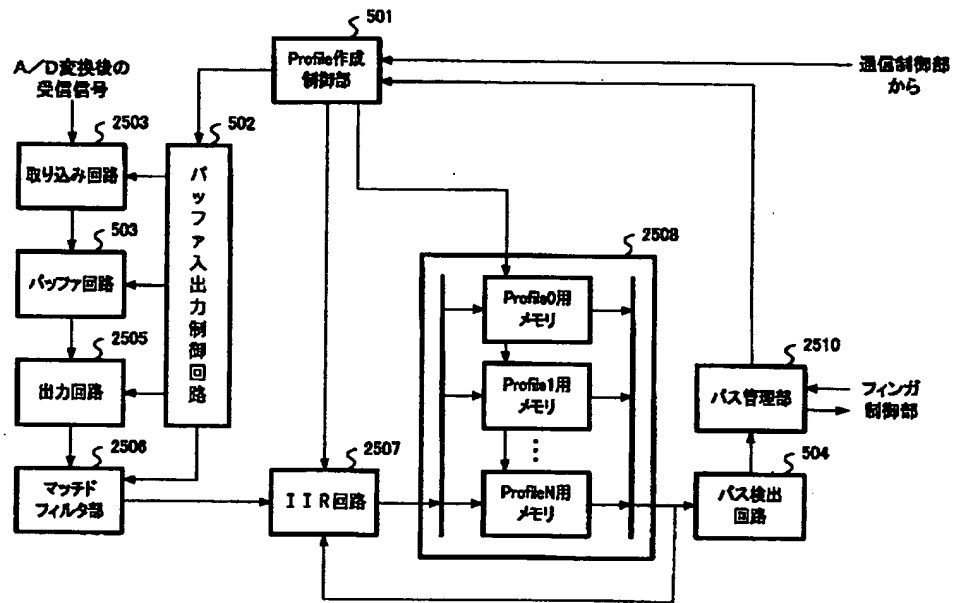
【図3】



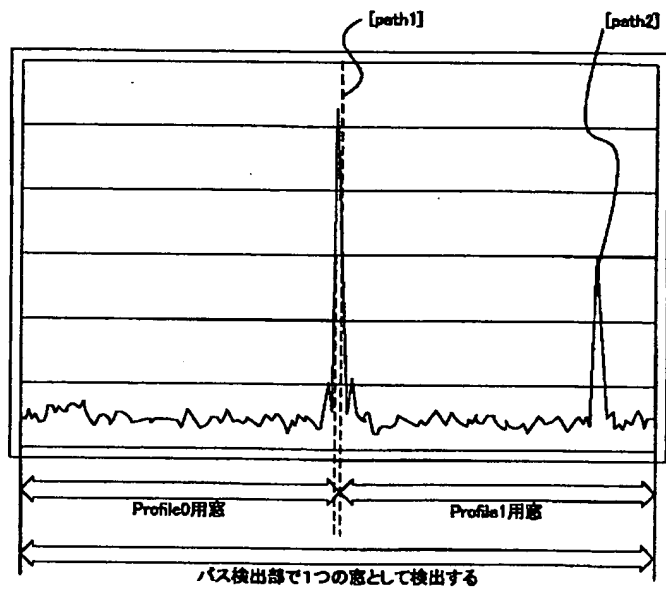
【図4】



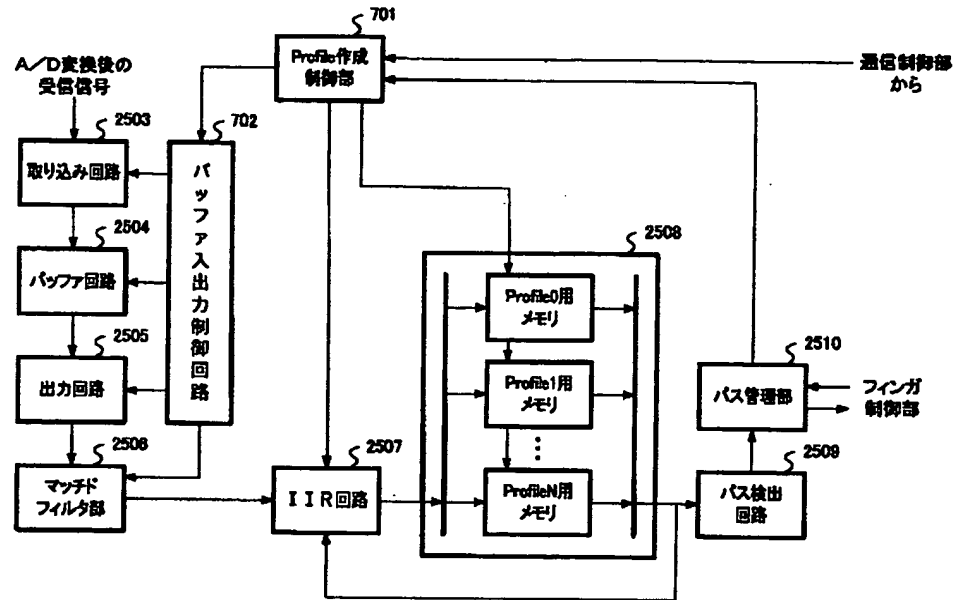
【図5】



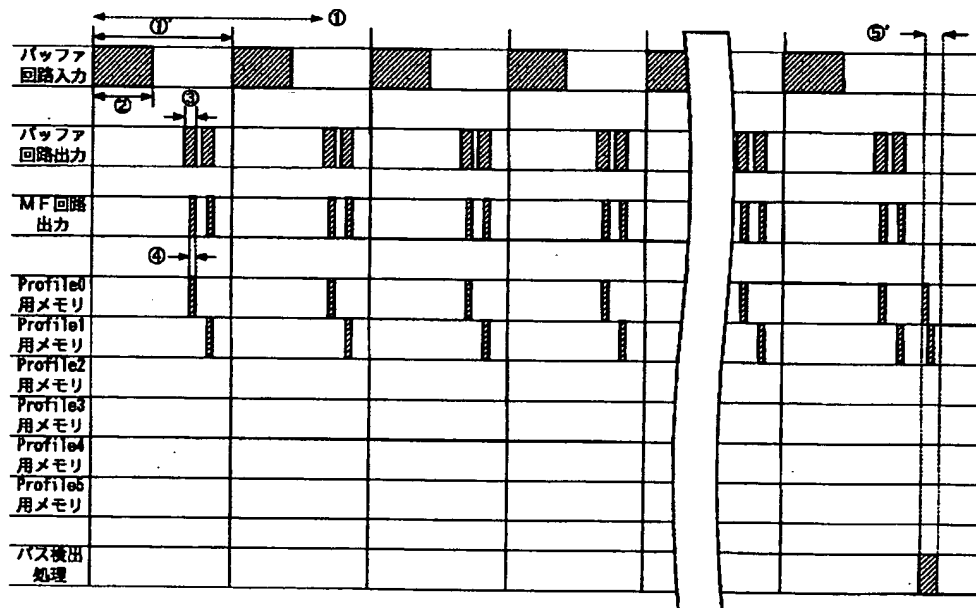
【図6】



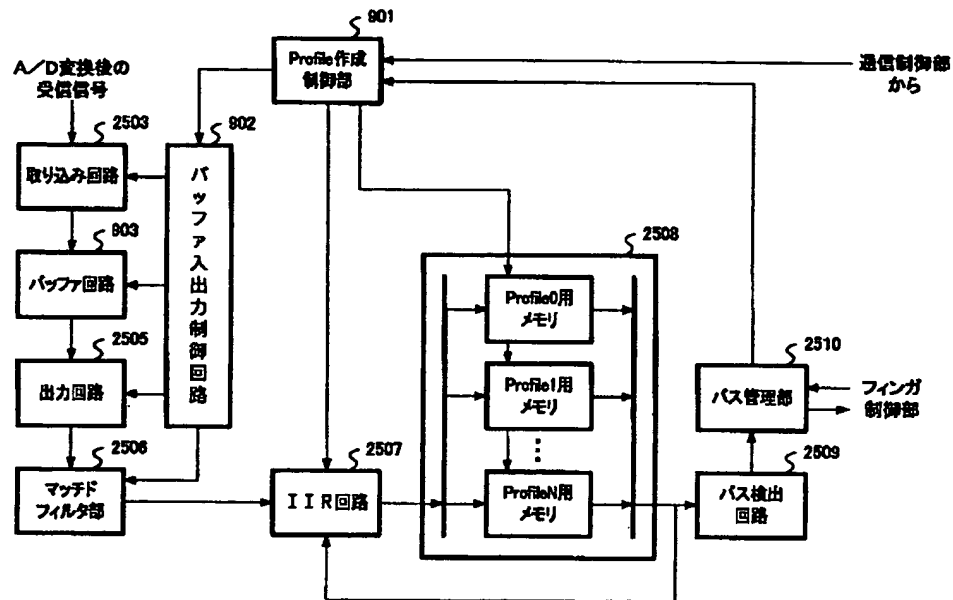
【図7】



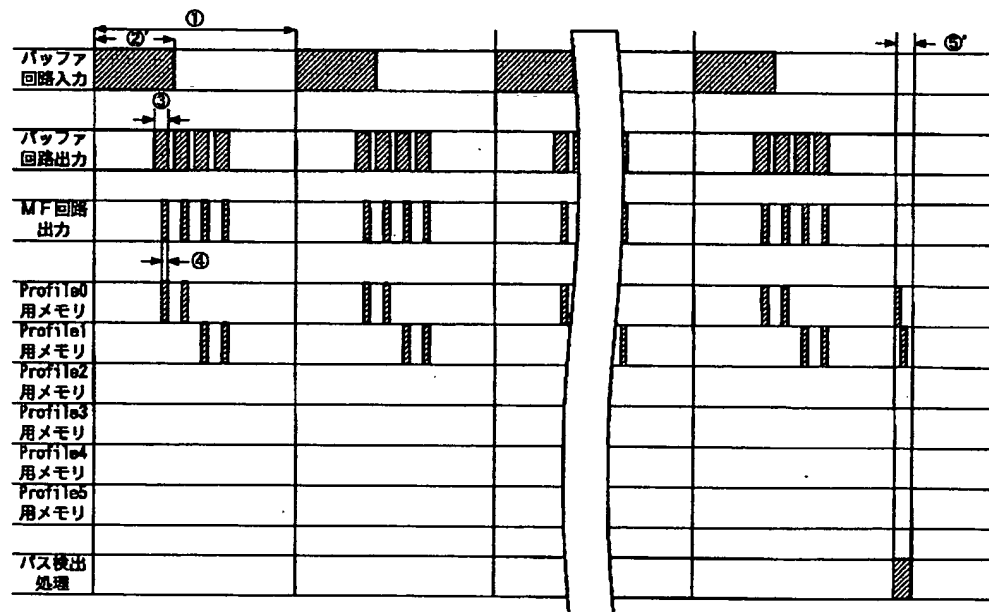
【図8】



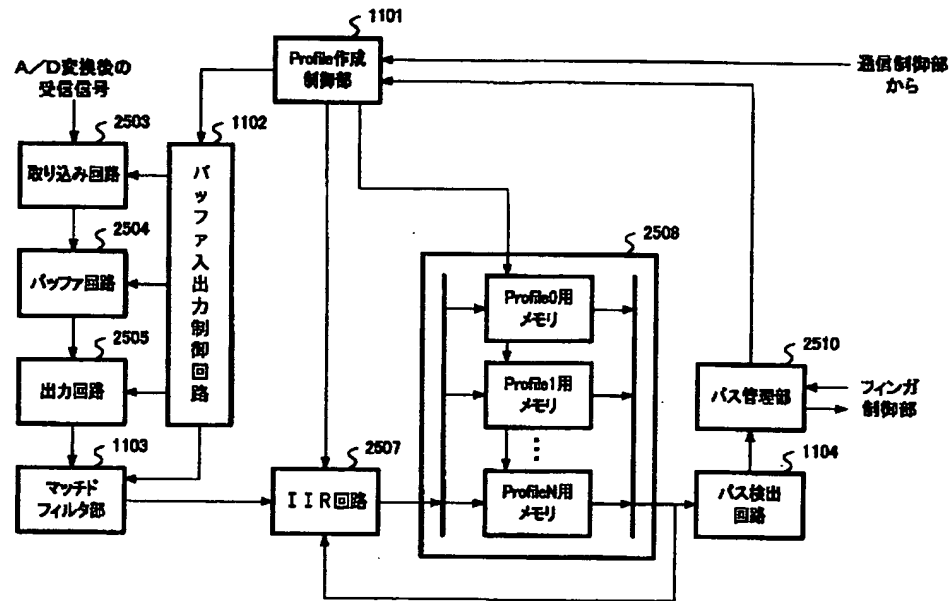
【図9】



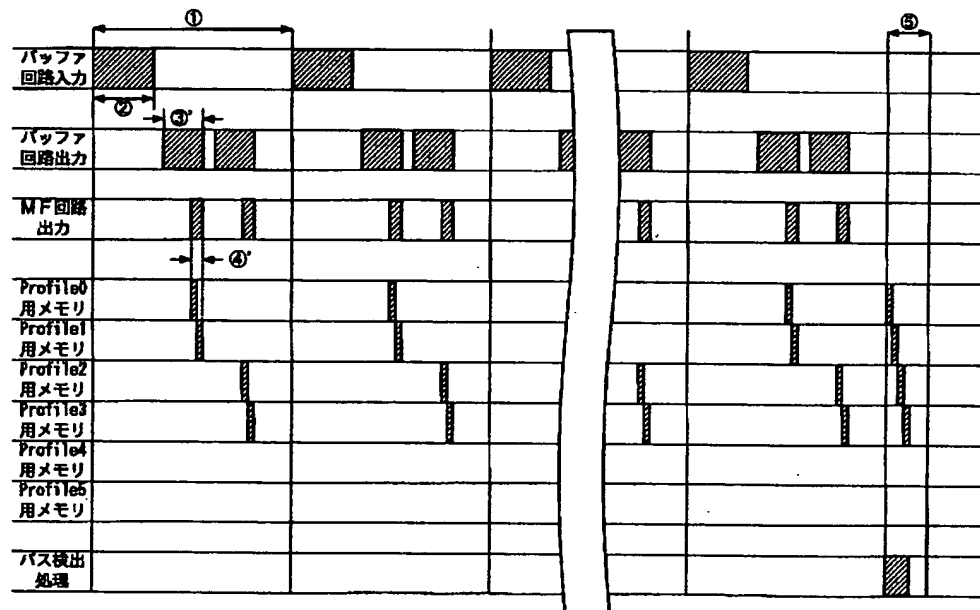
【図10】



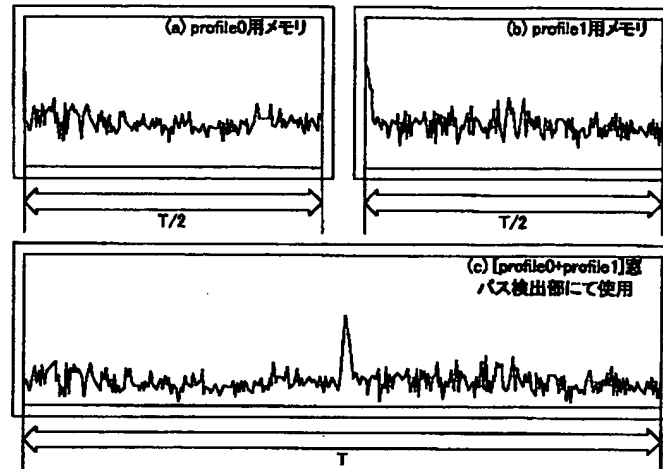
【図11】



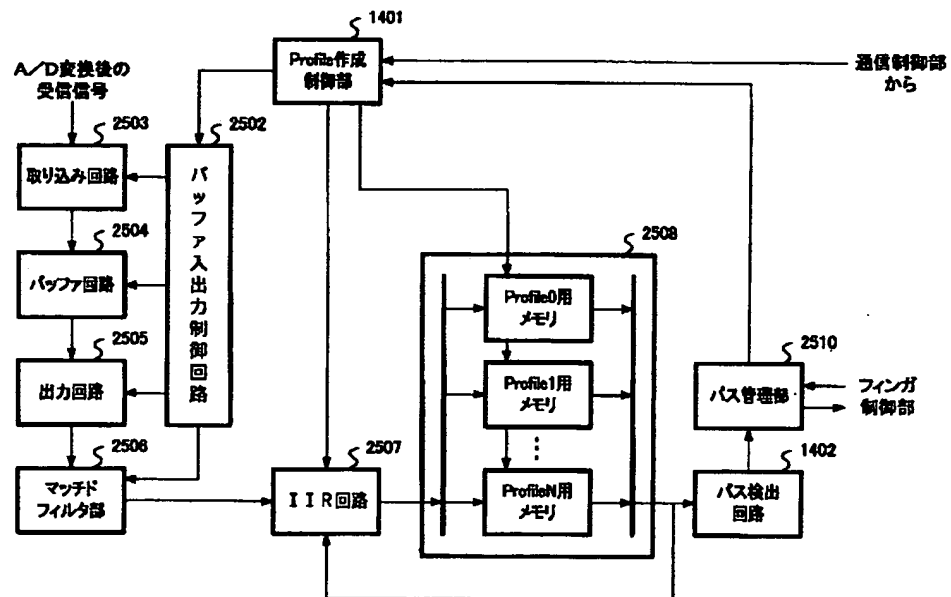
【図12】



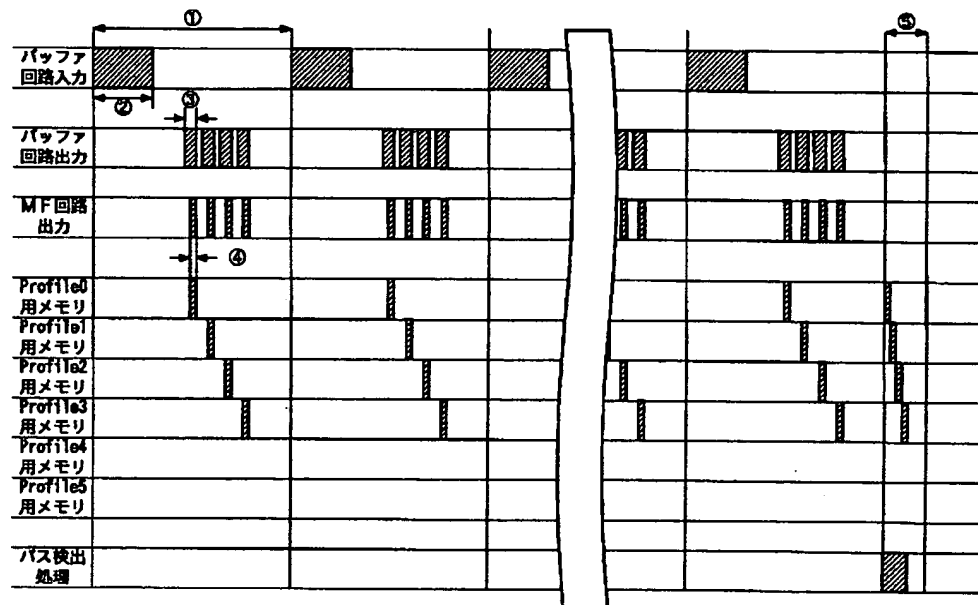
【図13】



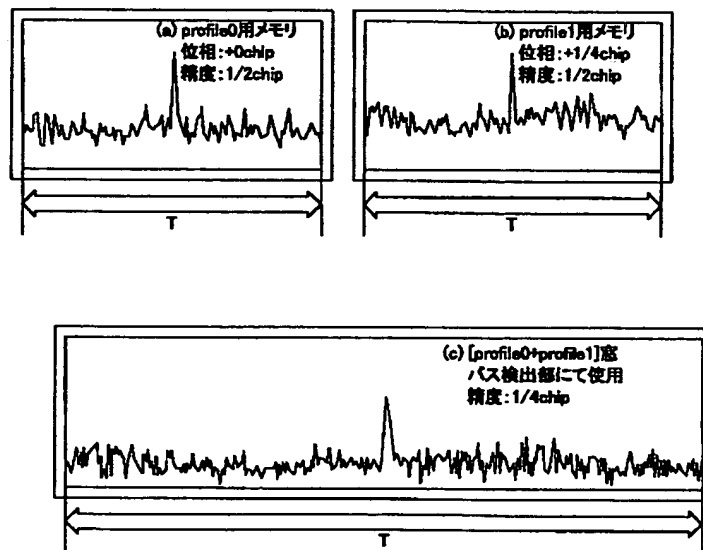
【図14】



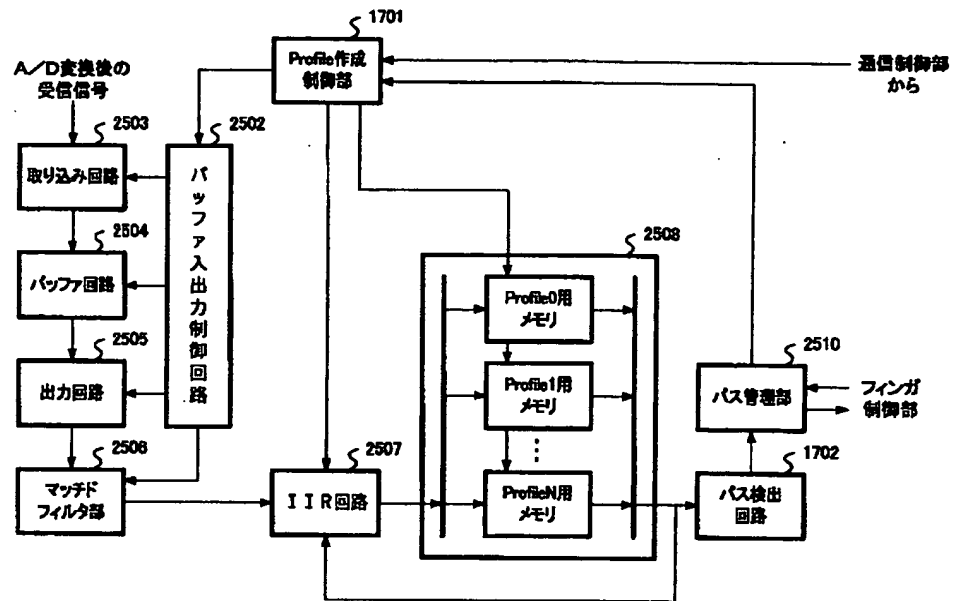
【図15】



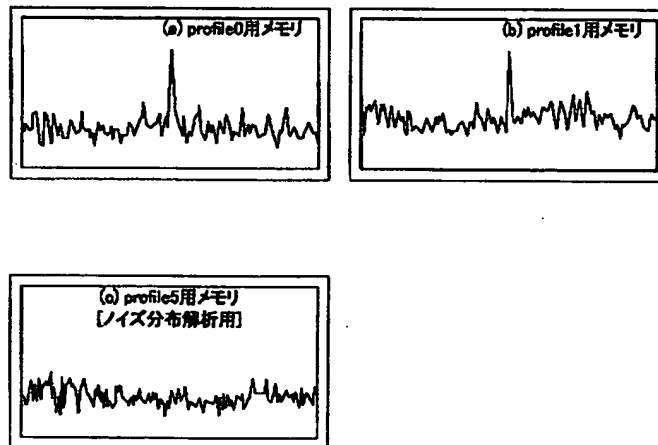
【図16】



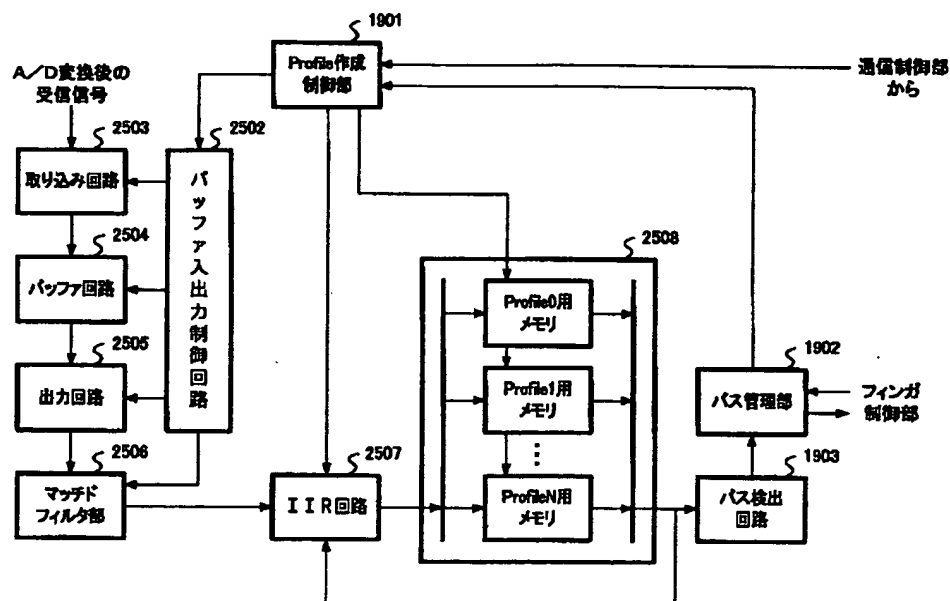
【図17】



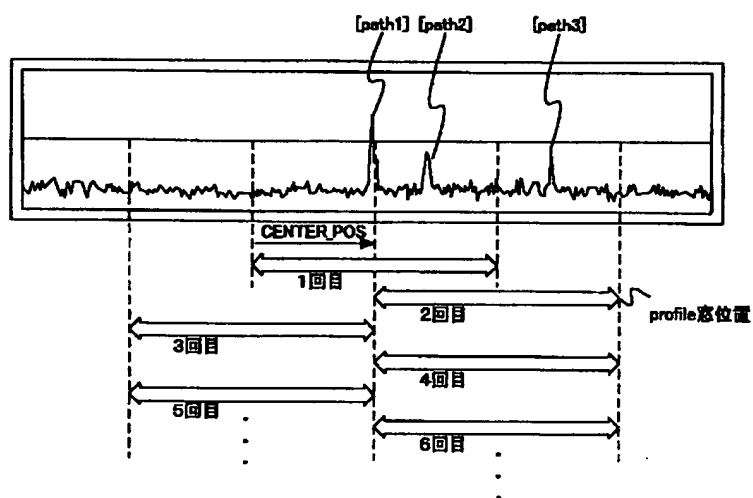
【図18】



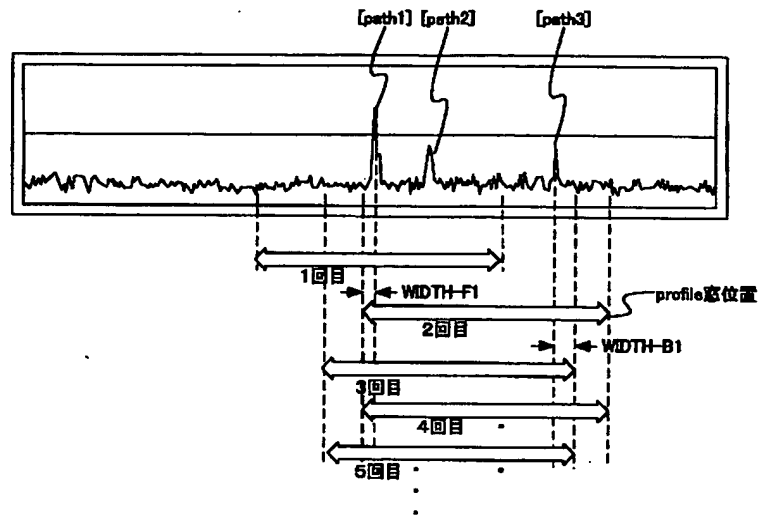
【図19】



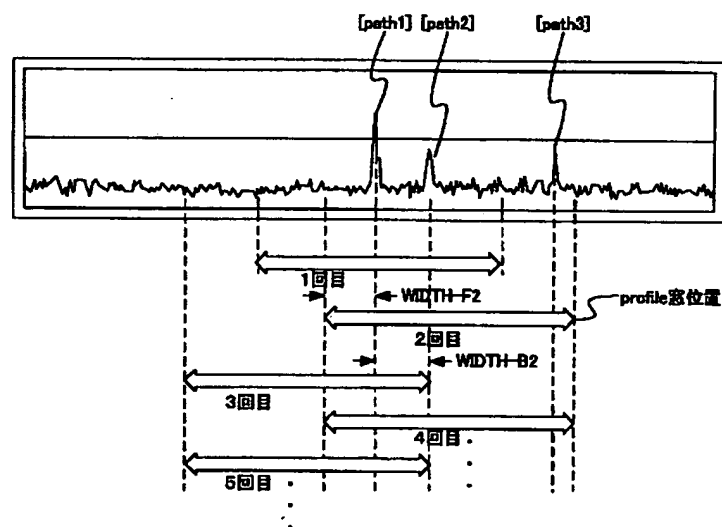
【図20】



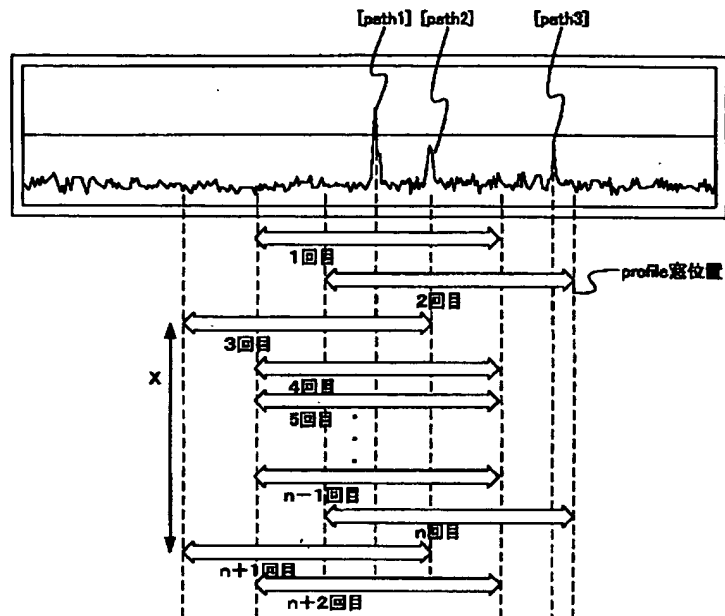
【図21】



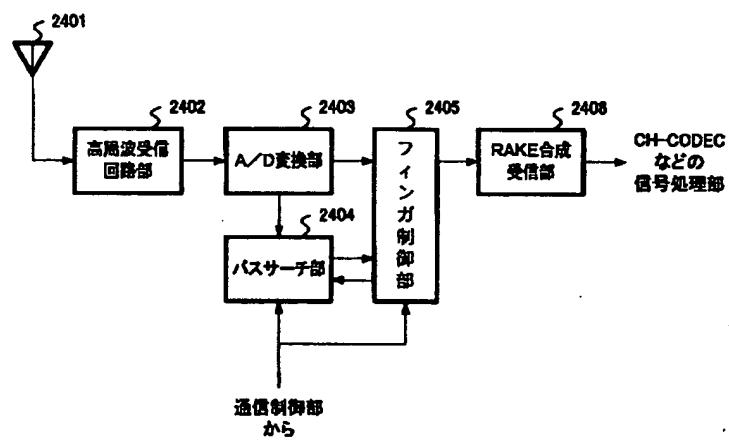
【図22】



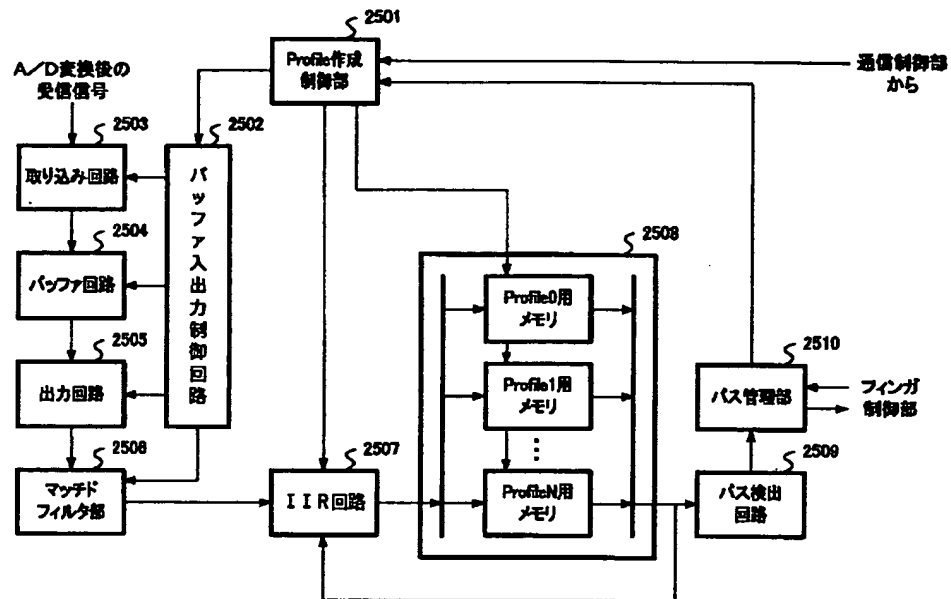
【図23】



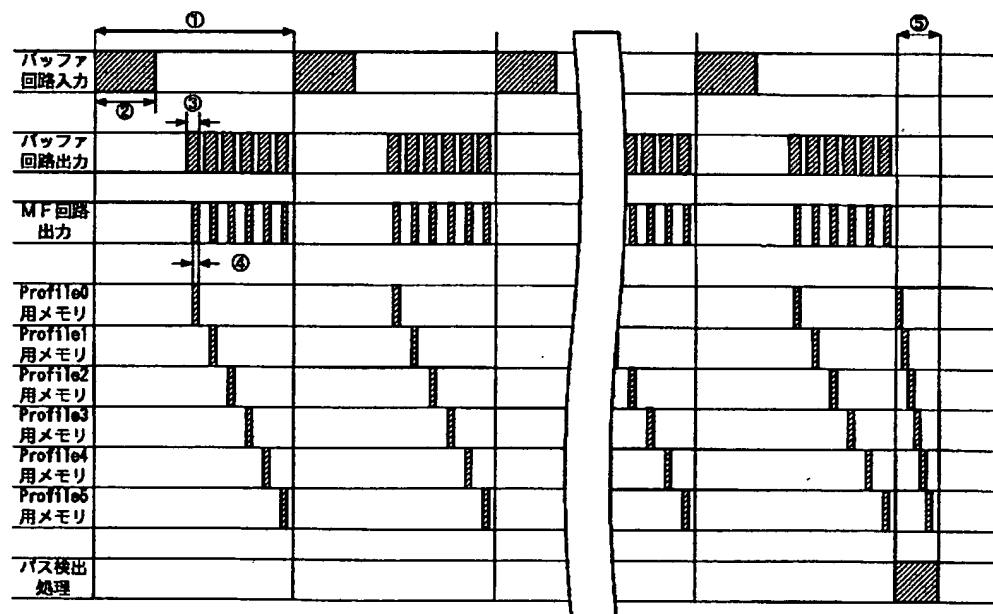
【図24】



【図25】



【図26】



【図27】

